

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Kazuya KAMON)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: July 31, 2003)	Confirmation No.: Unassigned
)	
For: SIMULATOR FOR A CHEMICAL)	
MECHANICAL POLISHING)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-047078

Filed: February 25, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: July 31, 2003

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月25日

出 願 番 号

Application Number:

特願2003-047078

[ST.10/C]:

[JP2003-047078]

出 願 人

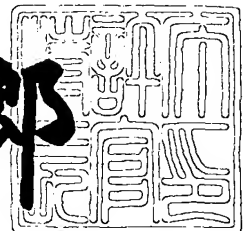
Applicant(s):

三菱電機株式会社

2003年 3月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3017785

【書類名】 特許願

【整理番号】 543179JP01

【提出日】 平成15年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/304

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 加門 和也

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シミュレーション装置

【特許請求の範囲】

【請求項 1】 半導体基板の平坦化のための化学機械研磨プロセスのシミュレーション装置であって、

半導体装置のパターン形成工程における加工パターンの単位領域あたりの面積占有率についての情報を含む占有率データと、

前記パターン形成工程に対応して実行される化学機械研磨プロセスの前後においてそれぞれ測定される、前記半導体基板上の凹凸の高さ分布についての第 1 および第 2 の実測データとを受け、

前記占有率データに基づいて算出される、前記化学機械研磨プロセス前の前記半導体基板上の凹凸の 2 次元分布についての第 1 の算出データと、前記第 1 の実測データとを比較し、最小自乗解析により第 1 の相関係数を求め、前記第 1 の相関係数の自乗が最大になるようにパラメータフィッティングするとともに、

前記占有率データに基づいて算出される、前記化学機械研磨プロセス後の前記半導体基板上の凹凸の 2 次元分布についての第 2 の算出データと、前記第 2 の実測データとを比較し、最小自乗解析により第 2 の相関係数を求め、前記第 2 の相関係数の自乗が最大になるようにパラメータフィッティングする、シミュレーション装置。

【請求項 2】 前記シミュレーション装置は、

前記占有率データを受け、該占有率データを座標データに基づいて 2 次元に展開し、占有率の 2 次元分布像として出力する占有率 2 次元分布計算部と、

前記占有率の 2 次元分布像の各部分での占有率に対して、前記占有率の 2 次元分布像の上に積層された積層膜の厚さを掛ける演算により前記第 1 の算出データを得る第 1 の高さ分布計算部と、

前記占有率の 2 次元分布像に対してフーリエ変換を施して 2 次元のフーリエ像を出力するフーリエ計算部と、

前記 2 次元のフーリエ像に対して、所定の空間周波数の成分のみが通過するように空間フィルタ処理を施す空間フィルタ部と、

前記空間フィルタ処理を施された前記２次元のフーリエ像に対して、逆フーリエ変換を施して２次元の逆フーリエ像を出力する逆フーリエ計算部と、

前記２次元の逆フーリエ像の各部分での占有率に対して、前記２次元の逆フーリエ像の上に前記積層膜の厚さを掛ける演算により前記第２の算出データを得る高さ分布計算部と、を備える、請求項１記載のシミュレーション装置。

【請求項３】 前記シミュレーション装置は、

前記加工パターンの形成前において測定される、前記加工パターンの下地層の凹凸の高さ分布についての第３の実測データをさらに受け、

前記第１および第２の算出データに、それぞれ前記第３の実測データを加算する第１および第２の実測データ加算部をさらに備える、請求項２記載のシミュレーション装置。

【請求項４】 前記シミュレーション装置は、

前記占有率データを受け、該占有率データを座標データに基づいて２次元に展開し、占有率の２次元分布像として出力する占有率２次元分布計算部と、

前記占有率の２次元分布像の各部分での占有率に対して、前記占有率の２次元分布像の上に積層された積層膜の厚さを掛ける演算により前記第１の算出データを得る高さ分布計算部と、

前記第１の算出データに基づいて、前記積層膜の前記化学機械研磨プロセスに使用される研磨パッドの、前記積層膜に押し当てた状態での２次元分布像を算出し、

前記研磨パッドの２次元分布像に基づいて、前記研磨パッドに加わるストレスの２次元分布像を算出し、

前記ストレスの２次元分布像に基づいて、前記積層膜の研磨後の凹凸の２次元分布像を算出することで前記第２の算出データを得るCMP像計算部と、を備える、請求項１記載のシミュレーション装置。

【請求項５】 前記シミュレーション装置は、

前記加工パターンの形成前において測定される、前記加工パターンの下地層の凹凸の高さ分布についての第３の実測データをさらに受け、

前記第１の算出データに、前記第３の実測データを加算する実測データ加算部

をさらに備える、請求項4記載のシミュレーション装置。

【請求項6】 前記第1および第2の実測データのメッシュを、前記占有率の2次元分布像のメッシュに適合させるようにサンプリングするメッシュ調整部をさらに備える、請求項2または請求項4記載のシミュレーション装置。

【請求項7】 前記第1、第2および第3の実測データのメッシュを、前記占有率の2次元分布像のメッシュに適合させるようにサンプリングするメッシュ調整部をさらに備える、請求項3または請求項5記載のシミュレーション装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はシミュレーション装置に関し、特に半導体装置の製造に使用される化学機械研磨（CMP）プロセスのシミュレーション装置に関する。

【0002】

【従来の技術】

大規模集積回路（LSI）の微細化および高集積化に伴い、LSI上に形成される回路パターンの最小パターン寸法は、 $0.1\mu\text{m}$ になろうとしている。LSIの回路パターンは、設計された回路を半導体基板の上に実現するための転写用マスク上にレーザーや電子線により描画された後、投影転写用装置により転写用マスクのパターンを、半導体基板上に一括して光転写することにより形成される。

【0003】

転写用装置の解像力 R は、 $R = k_1 \lambda / NA$ で与えられる。

【0004】

ここで、 k_1 はプロセス定数、 λ は波長、 NA は開口数である。

【0005】

上述したように、回路パターンは光転写法によって形成されるので、デフォーカス状態で転写すると、像がボケて結像性能が劣化する。一定の結像性能を維持できる焦点範囲を焦点深度（DOF）と呼称し、

$DOF = k_2 \lambda / NA^2$ で与えられる。

【0006】

ここで、 k_2 はプロセス係数である。

【0007】

加工寸法が $0.1\mu\text{m}$ になろうとしている現在では、焦点深度は光学理論上 $0.3\mu\text{m}$ 程度しか確保できなくなっている。

【0008】

一方、半導体基板には、選択エッチングや成膜等の処理が繰り返し施されるので、半導体基板の表面には、段差（基板段差）が発生している。

【0009】

集積度が低く、基板段差が焦点深度よりも小さかった従来の半導体装置では大きな問題とはならなかったが、加工寸法の微細化に伴って、最近では基板段差が焦点深度よりも大きくなり、所定の結像性能を得ることが難しくなってきた。

【0010】

基板段差を解消するには、例えば、本来の回路パターンとは関連のないダミーパターンを適宜配置して、低い部分を嵩上げるダミーパターン法や、発生した段差を削り取るように、化学機械研磨（CMP）法により半導体基板を研磨して平坦化する方法がある。

【0011】

CMP法による平坦化技術については、非特許文献1に一般的な説明がなされている。

【0012】

【非特許文献1】 “ULSIリソグラフィ技術の革新”、第71頁～第86頁、サイエンスフォーラム社刊、1994年11月10日発行

【0013】

【発明が解決しようとする課題】

上述したように、CMPプロセスはLSIの微細化および高集積化に伴って重要度を増しており、CMPプロセスを有効に行うには種々のパラメータを考慮したシミュレーションが必要となるが、従来は、有効なシミュレーション装置がなかった。

【0014】

本発明は、上記のような問題点を解消するためになされたもので、CMPプロセスにおいて種々のパラメータを考慮したシミュレーションが可能なシミュレーション装置を提供することを目的とする。

【0015】

【課題を解決するための手段】

本発明に係る請求項1記載のシミュレーション装置は、半導体基板の平坦化のための化学機械研磨プロセスのシミュレーション装置であって、半導体装置のパターン形成工程における加工パターンの単位領域あたりの面積占有率についての情報を含む占有率データと、前記パターン形成工程に対応して実行される化学機械研磨プロセスの前後においてそれぞれ測定される、前記半導体基板上的凹凸の高さ分布についての第1および第2の実測データとを受け、前記占有率データに基づいて算出される、前記化学機械研磨プロセス前の前記半導体基板上的凹凸の2次元分布についての第1の算出データと、前記第1の実測データとを比較し、最小自乗解析により第1の相関係数を求め、前記第1の相関係数の自乗が最大になるようにパラメータフィッティングするとともに、前記占有率データに基づいて算出される、前記化学機械研磨プロセス後の前記半導体基板上的凹凸の2次元分布についての第2の算出データと、前記第2の実測データとを比較し、最小自乗解析により第2の相関係数を求め、前記第2の相関係数の自乗が最大になるようにパラメータフィッティングする。

【0016】

【発明の実施の形態】

<本発明の技術思想>

大規模集積回路(LSI)を製造する際には、半導体基板にはメインチップと呼称される目的とするLSI以外に、TEG(test element group)やプロセスモニタを含むサブチップと呼称される複数のLSIも併せて形成する。なお、複数のサブチップは、メインチップの形成領域以外の余分な領域に形成される。

【0017】

このように、半導体基板にメインチップおよびサブチップを形成する場合の

、各工程に使用される転写用マスクには、メインチップの回路パターンだけでなく複数のサブチップの回路パターンが作り込まれている。

【0018】

そして、当該転写用マスクを形成するためには、メインチップおよび複数のサブチップの設計データを最初から合成した状態で使用することもできるが、実際のLSIの設計データは膨大なので、なるべく分割処理をする方が望ましい。従って、設計データはサブチップごとに分割された状態で順次使用されることが多い。

【0019】

このように、設計データをサブチップごとに分割することで、膨大な設計データを扱いやすくてできるが、発明者は、各サブチップごとの設計データを、より規模の小さい占有率データに変換して扱うことで、設計データの取り扱いをさらに容易にするという技術思想に到達した。

【0020】

以下、上記技術思想に基づいたCMPプロセスのシミュレーション方法およびシミュレーション装置の実施の形態について説明する。

【0021】

なお、以下の説明においては、占有率データを以下のように定義する。

すなわち、半導体装置の設計データに基づいてパターン図形が決まるが、このパターン図形の単位領域に含まれる図形要素すなわちパターン要素の面積比率が占有率である。これは、例えば、単位領域が $100\mu\text{m}$ 四方の矩形領域の中に、パターン要素が半分を占めていれば占有率は50%となる。

【0022】

ここで、単位領域は占有率の2次元分布データを得るための1メッシュ領域に相当する矩形領域であり、1メッシュ領域とのAND論理によりメッシュ領域とのAND演算を行うことで、パターン要素の面積を計算し、占有率を計算する。この、1メッシュ領域ごとに得られる占有率が占有率データである。

【0023】

この計算を1つのサブチップの全領域に対して、各工程ごとに行うことで1つ

のサブチップについての工程ごとの占有率データを得ることができる。

【００２４】

以下に説明する実施の形態１～４においては、上述した工程ごとの占有率データを用いてCMPプロセスのシミュレーションを行うことを前提とする。

【００２５】

なお、本発明に係るシミュレーション装置はコンピュータシステムを用いて実現され、そのソフトウェアは本発明に係るシミュレーション方法のアルゴリズムを用いて作成される。

【００２６】

< A. 実施の形態１ >

以下、本発明に係る実施の形態１のCMPプロセスのシミュレーション方法およびシミュレーション装置について説明する。

【００２７】

< A-1. CMPプロセスのシミュレーション方法および装置 >

図２に示すCMPプロセスのシミュレーション装置１の構成を参照しつつ、図１に示すフローチャートを用いて、CMPプロセスのシミュレーション方法について説明する。

【００２８】

図２に示すように、CMPプロセスのシミュレーション装置１は、占有率データ記憶装置１０および高さ分布測定装置２０から、それぞれ工程ごとの占有率データＤ１およびそれぞれの工程ごとのCMP前後の高さ分布の実測データＤ２とを受ける。

【００２９】

ここで、高さ分布測定装置２０としては、例えば、半導体装置の製造に使用される露光装置のオートフォーカス機能を用いることで実現できる。

【００３０】

すなわち、露光装置においては、半導体基板にレーザー光を斜めに照射し、その反射光を観測して基板の高さを測定する機能を有しており、この機能を利用すれば、半導体基板上に形成されている加工パターンの高さの２次元分布を取得で

きる。

【0031】

なお、高さ分布測定装置20としては上記の構成に限定されるものではなく、例えば、原子間力顕微鏡（AFM: atomic force microscopy）を使用して良い。

【0032】

また、先に説明したように、半導体装置の製造過程においては、半導体基板上には、選択エッチングや成膜等の処理が繰り返し施され、半導体基板の表面には工程ごとに基板段差が発生する。この基板段差を解消する手法がCMPプロセスであるので、1つの製造工程を施すごとにCMPプロセスが実行される。

【0033】

そして、CMPプロセスを実行する前と、実行した後とでは半導体基板上の凹凸の高さ分布が異なり、高さ分布測定装置20を用いて、各製造工程ごとに、CMPプロセスを実行する前の、半導体基板上の凹凸の高さ分布と、CMPプロセスを実行した後の半導体基板上の凹凸の高さ分布を測定し、それぞれで得られた実測データをシミュレーション装置1に与える。

【0034】

シミュレーション装置1では、占有率2次元分布計算部111において、占有率データD1に含まれる座標データに基づいて占有率データを2次元に展開し、工程ごとの占有率の2次元分布像DPを取得する（ステップS1）。

【0035】

高さ分布測定装置20から与えられるCMPプロセスを実行する前後の半導体基板上の凹凸の高さ分布の実測データD2は、半導体基板上の凹凸の状態が2次元分布像として与えられるが、占有率の2次元分布像DPと高さ分布の実測データD2とでは、必ずしもメッシュが揃っているわけではない。そこで、どちらも同じメッシュに調整するために、メッシュ調整部112においてメッシュの調整を行う（ステップS2）。

【0036】

ここで、メッシュ調整部112で行われるメッシュの調整動作について、図3

(a)、(b)、(c)および図4を用いて説明する。

【0037】

図3(a)、(b)、(c)は、メッシュ調整部112における処理を模式的に説明する図である。

【0038】

図3(a)に示すフーリエ空間におけるフーリエ像Fは、逆フーリエ変換により、図3(b)に示す実空間上の逆フーリエ像Rへ変換される。これに対し、図3(a)に破線で示すように、フーリエ空間においてメッシュを付加し、さらに付加されたメッシュ上の画像データにゼロの値を付加すると、その逆フーリエ像Rは、図3(c)が示すように、図3(b)の画像よりも緻密な画像となる。

【0039】

例えば、フーリエ空間上に新たなメッシュを付加して、2次元で $2^m \times 2^n$ 倍のメッシュへとメッシュ数を増加させた場合には、実空間へ逆フーリエ変換したときに、2次元で $2^m \times 2^n$ 倍のメッシュへとアップサンプリングされている。メッシュ数を増加させる比率は、一般に任意であるが、例えば $2^m \times 2^n$ 倍のように、FFTを利用することができる比率に設定するのが望ましい。

【0040】

メッシュ調整部112では、このようなメッシュの内挿処理を用いることでメッシュの調整動作を行う。

【0041】

より具体的には図4に示すように、占有率2次元分布計算部111から与えられる占有率の2次元分布像DPおよび高さ分布測定装置20から与えられる高さ分布の実測データD2に対してフーリエ変換を施す(ステップS211)。

【0042】

これにより、図3(a)を用いて説明したように、それぞれフーリエ空間におけるフーリエ像が取得される。そして、このとき、それぞれのメッシュ数や、メッシュの大きさも明確になり、メッシュ数の少ない方を、メッシュ数の多い方に合わせるようにする。

【0043】

一般的には、実測データD2の方がメッシュ数が少ないので、実測データD2のメッシュ数を占有率の2次元分布像DPのメッシュ数に合わせるようにメッシュの内挿処理を行う。

【0044】

すなわち、実測データD2のフーリエ像の周りに新メッシュを付加する（ステップS212）。

【0045】

このとき、ステップS213において新メッシュ上の値は0に設定する。

【0046】

その後、フーリエ像に逆フーリエ変換を施し（ステップS214）、逆フーリエ像に変換して、メッシュ調整後の実測データD2および占有率の2次元分布像DPを再合成する（ステップS215）。

【0047】

以上のメッシュ調整動作により占有率の2次元分布像DPと高さ分布の実測データD2とのメッシュが一致し、相互のデータの比較が可能となる。

【0048】

ここで再び図1および図2の説明に戻る。ステップS2においてメッシュの調整が終了した後、メッシュ調整後の実測データは、CMPプロセス前（研磨前）の実測データであれば、それは実測データD21として占有率の2次元分布像DPとともに高さ分布計算部113に与えられる。また、CMPプロセス後（研磨後）の実測データであれば、それは実測データD22として占有率の2次元分布像DPとともにフーリエ計算部114に与えられる。

【0049】

高さ分布計算部113では、占有率の2次元分布像DPに基づいて高さ分布の計算が施され、CMPプロセス前の被加工面の高さ分布データDP1を得る（ステップS3）。

【0050】

ここで、占有率の2次元分布像DPに基づいて高さ分布を算出する方法について図5および図6を用いて模式的に説明する。

【0051】

図5には、半導体基板SB上に既に加工された1つの回路パターンPT1および複数の回路パターンPT3が配設された状態が示されている。ここで、回路パターンPT1が配設された領域を領域R1とし、複数の回路パターンPT3が配設された領域を領域R2とし、回路パターンが配設されていない領域を領域R3として示す。

【0052】

領域R1は、全域を覆うように回路パターンPT1が形成されているので、パターン密度、すなわち占有率は100%であり、領域R2はその全域のうちの50%しか回路パターンPT2で覆われていないので占有率は50%であり、領域R3の占有率は0%である。

【0053】

LSIの製造工程には、絶縁膜や金属膜を成膜する工程と、これらの膜をパターニングする工程が、繰り返し含まれている。従って絶縁膜や金属膜（積層膜と呼称）を既に形成された回路パターン上に形成することになるが、積層膜の形成時には、単位面積あたりに供給される積層膜の材料の量は半導体基板全面でほぼ均一に与えられる。

【0054】

図6には、半導体基板SB上に積層膜SFMを形成した状態を示しており、回路パターンの占有率の差により積層膜SFMに高さ分布が生じている状態が示されている。

【0055】

すなわち、積層膜SFMの形成厚さを d_1 、回路パターンPT1およびPT2の厚さを d_2 とすると、占有率100%の領域R1では、積層膜SFMと回路パターンPT1との合計高さ H_1 は、 $H_1 = d_1 + d_2 \times 1.0$ で表される。また、占有率50%の領域R2では、積層膜SFMと回路パターンPT2との合計高さ H_2 は、リフローやアニーリング処理により溝が埋まることで平坦化が促進される（成膜時の平坦化効果）ので、 $H_2 = d_1 + d_2 \times 0.5$ で表される。また、占有率0%の領域R3では、積層膜SFMと回路パターンPT2との合計高さ

H3は、 $H3 = d1 + d2 \times 0$ で表される。なお、上記3つの式における係数1、0、0.5および0は占有率である。

【0056】

ここで、積層膜SFMの形成厚さd1は、何れの領域においても共通なので、相対的には意味を持たず、削除することができ、各領域の高さは、 $d2 \times$ 占有率で表すことができる。

【0057】

なお、回路パターンPT1およびPT2の厚さd2は、それらが何のパターンであるかによって種々に異なるプロセスパラメータである。

【0058】

従って、高さ分布計算部113においては、占有率の2次元分布像DPに、次の工程で形成される積層膜の厚さを掛け算するという簡単な演算により、CMPプロセス前の被加工面の高さ分布を得ることができる。

【0059】

以下、図1および図2の説明に戻るが、まず、CMPプロセス前におけるパラメータフィッティングの動作について説明する。

【0060】

ステップS3においてCMPプロセス前の被加工面の高さ分布データDP1を取得した後、CMPプロセス前の実測データD21および高さ分布データDP1は相関係数計算部118に与えられる。

【0061】

相関係数計算部118では、実測データD21と高さ分布データDP1とを最小自乗解析して相関係数 (correlation coefficient) を算出する (ステップS4)。

【0062】

ここで用いる最小自乗解析とは、高さ分布のデータどうしを比較し、2つのデータの類似性を最小自乗法を用いて解析する手法である。

【0063】

以下に、最小自乗法について簡単に説明する。データxおよびデータyにおい

て、それぞれの標本分散 (sample variance) は以下の数式 (1) および (2) で表される。

【0064】

【数1】

$$S_x^2 = \frac{\sum (x - \bar{x})^2}{n} \quad \dots (1)$$

【0065】

【数2】

$$S_y^2 = \frac{\sum (y - \bar{y})^2}{n} \quad \dots (2)$$

【0066】

また、標本共分散 (sample covariance) は以下の数式 (3) で表される。

【0067】

【数3】

$$S_{xy} = \frac{\sum (x - \bar{x})(y - \bar{y})}{n} \quad \dots (3)$$

【0068】

上記数式 (1) ~ (3) において、 \bar{x} 、 \bar{y} は、それぞれデータ x およびデータ y の平均値を表し、 n はデータの個数を表す。

【0069】

そして、上述した標本分散および標本共分散から、下記の数式 (4) で表される相関係数 r を定義することができる。

【0070】

【数4】

$$r = \frac{S_{xy}}{S_x S_y} \quad \dots (4)$$

【0071】

ステップ S4 で算出された相関係数は、 -1 から 1 までの値をとり、正の相関の場合は 1 が完全一致を表し、負の相関の場合は -1 が完全一致を表す。従って

、正の相関の場合も負の相関の場合も、その自乗値が大きければ大きいほど、データxとデータy、すなわち実測データD21での高さ分布と、高さ分布データDP1の高さ分布とが一致していると言うことができ、相関係数の自乗が最大になったときは、2つのデータの高さ分布が一致したことを表す。

【0072】

そして、この値を指標として、パラメータフィッティング部119で相関係数の自乗を最大に近づけるようにパラメータフィッティングを行う（ステップS10）。

【0073】

すなわち、何らかのパターンを有する半導体基板（被加工面）上に膜を形成する場合を仮定すると、形成される膜の厚さがフィッティングパラメータとなる。なお、フィッティングパラメータは積層膜の厚さだけに限定されるものではない。

【0074】

ここで、半導体基板上に上記膜を形成した段階での高さ分布を、高さ分布測定装置20を用いて測定した結果が実測データD21であり、一方、上記膜を形成した場合の占有率データに基づく計算値がCMPプロセス前の被加工面の高さ分布データDP1である。

【0075】

従って、実測データD21に近づくように、すなわち、相関係数が大きくなるように、ステップS3で設定した積層膜SFMの形成厚さd2を変える。これが、CMPプロセス前におけるパラメータフィッティングの1つである。

【0076】

次に、CMPプロセス後におけるパラメータフィッティングの動作について説明する。

【0077】

フーリエ計算部114に与えられた占有率の2次元分布像DPは、フーリエ変換を施され、2次元のフーリエ像に変換される。占有率の2次元分布に対してフーリエ変換を施すと、実空間から周波数空間への投影が行われ、実空間での2次

元像が空間周波数の大小で表される２次元のフーリエ像に変換される（ステップＳ５）。

【００７８】

ここで空間周波数が小さい成分とは、実空間では孤立パターンが多い部分に対応し、空間周波数が大きい成分とは、実空間では密集パターンが多い部分に対応する。

【００７９】

次に、空間フィルタ部１１５において、２次元のフーリエ像に対して、空間周波数の小さい成分のみが通過するような空間フィルタをかけることで、空間周波数の小さい成分を選択し、空間周波数の大きな成分を除去する（ステップＳ６）。なお、空間フィルタ処理に関する技術は周知である。

【００８０】

ここで、空間周波数が小さい成分は、相関距離の長い現象を引き起こす要因となる成分に対応しており、空間周波数が大きい成分は、相関距離の短い現象を引き起こす要因となる成分に対応している。

【００８１】

従って、空間フィルタにより空間周波数が大きい成分を除去することで、空間周波数が小さい成分、すなわち、相関距離の長い現象を引き起こす要因となる成分だけが残ることになる。

【００８２】

CMP工程において同一サイズのパターンが異なる密度で存在する場合に、場所によって研磨速度が異なるという現象が見られる。そして、この現象の相関距離は非常に長く、 $10\mu\text{m}$ ～ $100\mu\text{m}$ に及ぶことがある。

【００８３】

そして、逆フーリエ計算部１１６において、空間周波数が小さい成分だけが残った２次元のフーリエ像に対して逆フーリエ変換を施し、逆フーリエ像、すなわち実空間での占有率の２次元分布像DPXを得る（ステップＳ７）。

【００８４】

ここで得られる占有率の２次元分布像DPXには、相関距離の長い現象を引き

起こす要因となる成分だけが表示されており、相関距離の長い現象の解析に適した２次元分布像である。

【００８５】

そして、上記２次元分布像ＤＰＸとＣＭＰプロセス後の実測データＤ２２とは高さ分布計算部１１７に与えられ、高さ分布計算部１１７では、占有率の２次元分布像ＤＰＸに基づいて高さ分布の計算が施され、相関距離の長い現象を引き起こす要因のみを含んだ高さ分布データＤＰ２を得る（ステップＳ８）。

【００８６】

ここで、占有率の２次元分布像ＤＰＸに基づいて高さ分布を算出する方法については、図５および図６を用いて説明した、占有率の２次元分布像ＤＰに基づいて高さ分布を算出する方法と同じであるので説明は省略する。

【００８７】

ステップＳ８において高さ分布データＤＰ２を取得した後、ＣＭＰプロセス後の実測データＤ２２および高さ分布データＤＰ２は相関係数計算部１１８に与えられる。

【００８８】

相関係数計算部１１８では、実測データＤ２２と高さ分布データＤＰ２とを最小自乗解析して相関係数を算出する（ステップＳ９）。なお、ステップＳ９の解析動作はステップＳ４の解析動作と同じであるので、説明は省略する。

【００８９】

そして、ステップＳ９で算出された相関係数を指標として、パラメータフィッティング部１１９で相関係数の自乗を最大に近づけるようにパラメータフィッティングを行う（ステップＳ１０）。

【００９０】

ここで、何らかのパターンを有する半導体基板（被加工面）上に膜を形成する場合を仮定すると、半導体基板上に膜を形成した後、当該膜をＣＭＰによって研磨した段階での高さ分布を高さ分布測定装置２０を用いて測定した結果が実測データＤ２２であり、一方、相関距離の長い現象を引き起こす要因のみが表示された２次元分布像に基づいて得られた高さ分布が、高さ分布データＤＰ２である。

【0091】

従って、実測データD22に近づくように、すなわち、相関係数が大きくなるように、ステップS8で設定した積層膜SFMの形成厚さd2を変える。これが、CMPプロセス後におけるパラメータフィッティングの1つである。

【0092】

例えば、フーリエ解析を施した2次元分布データは、CMPの研磨パッドが半導体基板の凹凸に押し当てられ、研磨が始まる前の弾性変形に対する考慮ができ、研磨時間や研磨パッドの回転数などのパラメータに関する影響を除去した解析が可能となる。

【0093】

以上説明したステップS1～S10の動作を、入力された全ての製造工程のCMPプロセス前後の実測データに対して繰り返す。

【0094】

<A-2. 効果>

以上説明した実施の形態1のCMPプロセスのシミュレーション方法およびシミュレーション装置によれば、CMPプロセスの前と後とで実測データと、シミュレーションデータとを比較して相関関係を取得するように構成されているので、CMPプロセス前のパラメータの調整と、CMPプロセス後のパラメータの調整とを明確に分離でき、種々のパラメータを考慮可能なシミュレーション装置が得られる。

【0095】

そのため、プロセス条件が変更された場合や新規装置が採用された場合でも、パラメータを微調整することで対応できるという特徴がある。

【0096】

また、CMPプロセス後の実測データD22と、相関距離の長い現象を引き起こす要因のみが表示された2次元分布像に基づいて得られた高さ分布データDP2との相関関係をモニタするので、研磨パッドの弾性変形が実測データD22上においてどの程度影響を及ぼしているかについての知見を得ることができる。

【0097】

< B. 実施の形態 2 >

以下、本発明に係る実施の形態 2 の CMP プロセスのシミュレーション方法およびシミュレーション装置について説明する。なお、図 1、図 2 に示した構成と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 0 9 8 】

< B-1. CMP プロセスのシミュレーション方法および装置 >

図 8 に示す CMP プロセスのシミュレーション装置 2 の構成を参照しつつ、図 7 に示すフローチャートを用いて、CMP プロセスのシミュレーション方法について説明する。

【 0 0 9 9 】

図 8 に示すように、CMP プロセスのシミュレーション装置 2 は、占有率データ記憶装置 1 0 および高さ分布測定装置 2 0 から、それぞれの工程ごとの占有率データ D 1 と、下地層の高さ分布およびそれぞれの工程ごとの CMP 前後の高さ分布の実測データ D 3 とを受ける。

【 0 1 0 0 】

ここで、下地層の高さ分布とは、形成しようとしている加工パターンの下地となる層の高さ分布である。すなわち、半導体装置の製造過程においては、半導体基板上には、約 3 0 種類のマスクを用いて選択エッチングや成膜等の処理が繰り返し施されるので、パターニング前に半導体基板の表面が平坦であると仮定できるのは最初の工程だけであり、以後の工程ではパターニングする前から、半導体基板上には凹凸が存在する。この半導体基板上の凹凸のことを下地層の高さ分布と定義する。

【 0 1 0 1 】

CMP プロセスのシミュレーション装置 2 では、占有率 2 次元分布計算部 2 1 1 において、占有率データ D 1 に含まれる座標データに基づいて占有率データを 2 次元に展開し、工程ごとの占有率の 2 次元分布像 D P を取得する（ステップ S 2 1）。

【 0 1 0 2 】

高さ分布測定装置 2 0 から与えられる下地層の凹凸の高さ分布および CMP プ

ロセスを実行する前後の半導体基板上の凹凸の高さ分布の実測データD3は、半導体基板上の凹凸の状態が2次元分布像として与えられるが、占有率の2次元分布像DPと高さ分布の実測データD3とでは、必ずしもメッシュが揃っているわけではない。そこで、何れも同じメッシュに調整するために、メッシュ調整部212においてメッシュの調整を行う（ステップS22）。

【0103】

以上のメッシュ調整動作により占有率の2次元分布像DPと高さ分布の実測データD3とのメッシュが一致し、相互のデータの比較が可能となる。

【0104】

なお、メッシュ調整部212でのメッシュの調整動作は、図2に示したメッシュ調整部112と同じであるので説明は省略する。

【0105】

ステップS22においてメッシュの調整が終了した後、メッシュ調整後のCMPプロセス前（研磨前）の実測データは、実測データD31として占有率の2次元分布像DPとともに高さ分布計算部213に与えられる。

【0106】

また、CMPプロセス後（研磨後）の実測データは、実測データD32として占有率の2次元分布像DPとともにフーリエ計算部215に与えられる。

【0107】

高さ分布計算部213では、占有率の2次元分布像DPに基づいて高さ分布の計算が施され、CMPプロセス前の被加工面の高さ分布データDP1を得る（ステップS23）。なお、占有率の2次元分布像DPに基づいて高さ分布を算出する方法については、図5および図6を用いて説明しているので説明は省略する。

【0108】

そして、CMPプロセス前の被加工面の高さ分布データDP1には、実測データ加算部214において下地層の高さ分布のデータが加算され、高さ分布データDP11を得る（ステップS24）。

【0109】

以下、CMPプロセス前におけるパラメータフィッティングの動作について説

明する。

【0110】

ステップS24において下地層の高さ分布のデータを含むCMPプロセス前の被加工面の高さ分布データDP11を取得した後、CMPプロセス前の実測データD31および高さ分布データDP11は相関係数計算部220に与えられる。

【0111】

相関係数計算部220では、実測データD31と高さ分布データDP11とを最小自乗解析して相関係数を算出する（ステップS25）。なお、ステップS25の解析動作は、図1に示すステップS4の解析動作と同じであるので、説明は省略する。

【0112】

ここで、何らかのパターンを有する半導体基板（被加工面）上に膜を形成する場合を仮定すると、形成される膜の厚さがフィッティングパラメータとなり、半導体基板上に上記膜を形成した段階での高さ分布を、高さ分布測定装置20を用いて測定した結果が実測データD31であり、一方、上記膜を形成した場合の占有率データに基づく計算値が高さ分布データDP11である。

【0113】

従って、実測データD31に近づくように、すなわち、相関係数が大きくなるように、ステップS23で設定した積層膜SFMの形成厚さd2を変える。これが、CMPプロセス前におけるパラメータフィッティングの1つである。

【0114】

次に、CMPプロセス後におけるパラメータフィッティングの動作について説明する。

【0115】

フーリエ計算部215に与えられた占有率の2次元分布像DPは、フーリエ変換を施され（ステップS26）、次に、空間フィルタ部216において空間フィルタ処理が施される（ステップS27）。そして、逆フーリエ計算部217において、逆フーリエ変換を施し、逆フーリエ像、すなわち実空間での占有率の2次元分布像DPXを得る（ステップS28）。

【0116】

そして、上記2次元分布像DPXとCMPプロセス後の実測データD32とは高さ分布計算部218に与えられ、高さ分布計算部218では、占有率の2次元分布像DPXに基づいて高さ分布の計算が施され、相関距離の長い現象を引き起こす要因のみを含んだ高さ分布データDP2を得る（ステップS29）。

【0117】

ここで、占有率の2次元分布像DPXに基づいて高さ分布を算出する方法については、図5および図6を用いて説明した、占有率の2次元分布像DPに基づいて高さ分布を算出する方法と同じであるので説明は省略する。

【0118】

そして、占有率の2次元分布像DPXには、実測データ加算部219において下地層の高さ分布の実測データが加算され、下地層の高さ分布のデータを含む高さ分布データDP21を得る（ステップS30）。

【0119】

ステップS30において高さ分布データDP21を取得した後、CMPプロセス後の実測データD32および高さ分布データDP21は高さ相関係数計算部220に与えられる。

【0120】

相関係数計算部220では、実測データD32と高さ分布データDP21とを最小自乗解析して相関係数を算出する（ステップS31）。なお、ステップS31の解析動作はステップS25の解析動作と同じである。

【0121】

そして、ステップS31で算出された相関係数を指標として、パラメータフィッティング部221で相関係数の自乗を最大に近づけるようにパラメータフィッティングを行う（ステップS32）。

【0122】

ここで、何らかのパターンを有する半導体基板（被加工面）上に膜を形成する場合を仮定すると、半導体基板上に膜を形成した後、当該膜をCMPによって研磨した段階での高さ分布を高さ分布測定装置20を用いて測定した結果が実測デ

ータD 3 2であり、一方、相関距離の長い現象を引き起こす要因のみが表示された2次元分布像に基づいて得られた高さ分布が、高さ分布データD P 2 1である。

【0 1 2 3】

従って、実測データD 3 2に近づくように、すなわち、相関係数が大きくなるように、ステップS 2 9で設定した積層膜S F Mの形成厚さd 2を変える。これが、CMPプロセス後におけるパラメータフィッティングの1つである。

【0 1 2 4】

以上説明したステップS 2 1～S 3 2の動作を、入力された全ての製造工程のCMPプロセス前後の実測データに対して繰り返す。

【0 1 2 5】

<B-2. 効果>

以上説明した実施の形態2のCMPプロセスのシミュレーション方法およびシミュレーション装置によれば、CMPプロセスの前と後とで実測データと、シミュレーションデータとを比較して相関関係を取得するように構成されているので、CMPプロセス前のパラメータの調整と、CMPプロセス後のパラメータの調整とを明確に分離でき、種々のパラメータを考慮可能なシミュレーション装置が得られる。

【0 1 2 6】

そのため、プロセス条件が変更された場合や新規装置が採用された場合でも、パラメータを微調整することで対応できるという特徴がある。

【0 1 2 7】

また、それぞれの工程における下地層の高さ分布の実測データを占有率データに加算する構成となっているので、前工程の影響を考慮することができ、積層構造を有する半導体装置の製造に適したシミュレーションを行うことができる。

【0 1 2 8】

<C. 実施の形態3>

以下、本発明に係る実施の形態3のCMPプロセスのシミュレーション方法およびシミュレーション装置について説明する。なお、図1、図2に示した構成と

同一の構成については同一の符号を付し、重複する説明は省略する。

【0129】

＜C-1. CMPプロセスのシミュレーション方法および装置＞

図10に示すCMPプロセスのシミュレーション装置3の構成を参照しつつ、図9に示すフローチャートを用いて、CMPプロセスのシミュレーション方法について説明する。

【0130】

図10に示すように、CMPプロセスのシミュレーション装置3は、占有率データ記憶装置10および高さ分布測定装置20から、それぞれ工程ごとの占有率データD1およびそれぞれの工程ごとのCMP前後の高さ分布の実測データD2とを受ける。

【0131】

CMPプロセスのシミュレーション装置3では、占有率2次元分布計算部311において、占有率データD1に含まれる座標データに基づいて占有率データを2次元に展開し、工程ごとの占有率の2次元分布像DPを取得する（ステップS41）。

【0132】

高さ分布測定装置20から与えられるCMPプロセスを実行する前後の半導体基板上の凹凸の高さ分布の実測データD2は、半導体基板上の凹凸の状態が2次元分布像として与えられるが、占有率の2次元分布像DPと高さ分布の実測データD2とでは、必ずしもメッシュが揃っているわけではない。そこで、何れも同じメッシュに調整するために、メッシュ調整部312においてメッシュの調整を行う（ステップS42）。

【0133】

なお、メッシュ調整部312でのメッシュの調整動作は、図2に示したメッシュ調整部112と同じであるので説明は省略する。

【0134】

以上のメッシュ調整動作により占有率の2次元分布像DPと高さ分布の実測データD2とのメッシュが一致し、相互のデータの比較が可能となる。

【0135】

ステップS42においてメッシュの調整が終了した後、メッシュ調整後のCMPプロセス前（研磨前）の実測データD21およびCMPプロセス後（研磨後）の実測データD22は、占有率の2次元分布像DPとともに高さ分布計算部313に与えられる。

【0136】

高さ分布計算部313では、占有率の2次元分布像DPに基づいて高さ分布の計算が施され、CMPプロセス前の被加工面の高さ分布データDP1を得る（ステップS43）。なお、占有率の2次元分布像DPに基づいて高さ分布を算出する方法については、図5および図6を用いて説明しているので、説明は省略する。

【0137】

そして、CMPプロセス前の被加工面の高さ分布データDP1は、CMPプロセス前の実測データD21とともに相関係数計算部315に与えられ、また、CMPプロセス後の実測データD22とともにCMP像計算部314にも与えられる。

【0138】

以下、CMPプロセス前におけるパラメータフィッティングの動作について説明する。

【0139】

相関係数計算部315では、実測データD21と高さ分布データDP1とを最小自乗解析して相関係数を算出する（ステップS44）。なお、ステップS25の解析動作は、図1に示すステップS4の解析動作と同じであるので、説明は省略する。

【0140】

そして、パラメータフィッティング部316において、実測データD22に近づくように、すなわち、相関係数が大きくなるように、ステップS43で設定した積層膜SFMの形成厚さd2を変える（ステップS47）。これが、CMPプロセス後におけるパラメータフィッティングの1つである。

【0141】

次に、CMPプロセス後におけるパラメータフィッティングの動作について説明する。

【0142】

CMP像計算部314においては、CMPプロセス前の被加工面の高さ分布データDP1と、CMPプロセスで用いられる研磨パッドのヤング率や弾性係数などの力学パラメータを用いて、CMPプロセスによって得られる研磨後の2次元分布データ、すなわちCMP像を計算する（ステップS45）。

【0143】

以下、図11および図12を用いてCMP像の取得動作について説明する。

CMP像計算部314においては、図11に示すように、まず、ステップS451においてCMPプロセス前の被加工面の高さ分布データDP1に基づいて研磨パッドを押し当てた場合のパッド形状を計算する。

【0144】

ここで、CMPプロセス前の被加工面に対して、研磨パッドPADを押し当てた状態を図12に模式的に示す。なお、図12においては、図6に示した構成と同一の構成については同一の符号を付し、重複する説明は省略する。

【0145】

図12に示すように、被加工面に対して研磨パッドPADを押し当てた場合、領域R1とR2の境界部分および領域R2とR3の境界部分において特徴的な現象が発生する。すなわち、各境界のA点で示す部分においては、研磨パッドPADが積層膜SFMに接触して大きなストレスがかかり、積層膜SFMが良く研磨されるが、C点で示す部分においては、研磨パッドPADが積層膜SFMから浮いた状態となり、ストレスが小さくなって積層膜SFMは研磨されにくい状態となる。

【0146】

積層膜SFMの研磨前の高さ分布、すなわち積層膜SFMの形状は、占有率の2次元分布と、回路パターンPT1およびPT2の厚さd2との積で与えられ、研磨パッドPADの2次元分布像は、逆フーリエ像と厚さd2との積で与えられ

る。

【0147】

ここで、図11の説明に戻る。研磨パッドの凹凸の2次元分布像（パッド形状）を算出した後、研磨パッドに加わるストレスの2次元分布を計算する（ステップS452）。

【0148】

ここで、図12を用いて研磨パッドPADに加わるストレスについて説明する。

図12に示すように、被加工面に対して研磨パッドPADを押し当てた場合、各境界のA点で示す部分においては、研磨パッドPADが積層膜SFMに接触して大きなストレスがかかり、C点で示す部分においてはストレスが小さくなって積層膜SFMは研磨されにくい状態となる。

【0149】

領域R1およびR2のように研磨パッドPADの変化量の大きな部分には大きなストレスがかかっているので、早く研磨され、逆に領域R3のように変形が発生していない部分や、突出パターンと突出パターンとの間の領域で、変形の方が逆の方向である場合にはストレスが0となり、研磨されにくい。また、同じ大きさの突出パターンでも支えになる別の突出パターンが近くにある場合と、ない場合とではストレスが異なり、研磨速度が異なる。

【0150】

ステップS452においては、研磨パッドPADの場所によって異なるこれらのストレスを計算し、ストレスの2次元分布像を算出する。

【0151】

なお、研磨パッドPADのストレスの2次元分布像は、積層膜SFMの形状と研磨パッドPAD形状（凹凸の2次元分布像）との差に基づいて、研磨パッドPADのストレスの2次元分布像を求めることができる。

【0152】

すなわち、積層膜SFMの形状のデータから研磨パッドPADの形状のデータを差し引いた値に研磨パッドのヤング率（弾性係数）を掛けることで、研磨パッ

ドPADのストレスの2次元分布像を得ることができる。

【0153】

そして、ステップS453では、研磨パッドPADのストレスの2次元分布像に基づいて、研磨後の被加工面の凹凸の2次元分データDP3を算出する。

【0154】

研磨後の被加工面の高さは、被加工面の材質、研磨パッドの材質、回転数などによって定まる研磨レート ($\text{\AA}/\text{sec}$) と、計算対象部分において研磨パッドに加わるストレス値 (パスカル) と、研磨時間 (sec) とを掛け算することで、計算対象部分の研磨量 (\AA) を取得し、研磨前の被加工面の計算対象部分の高さから研磨量を差し引くことで得ることができる。

【0155】

ステップS453においては、ストレスの最も高い部分、すなわち被加工面の最も突出した部分の研磨レートが大きいので、基板が平坦化される様子が表現でき、研磨後の被加工面の凹凸の2次元分布データDP3が得られる。

【0156】

ここで、図9および図10の説明に戻る。上記2次元分データDP3とCMPプロセス後の実測データD22とは相関係数計算部315に与えられる。

【0157】

相関係数計算部315では、実測データD22と2次元分データDP3とを最小自乗解析して相関係数を算出する (ステップS46)。なお、ステップS46の解析動作は図1を用いて説明したステップS4の解析動作と同じであるので、説明は省略する。

【0158】

そして、ステップS46で算出された相関係数を指標として、パラメータフィッティング部316で相関係数の自乗を最大に近づけるようにパラメータフィッティングを行う (ステップS47)。

【0159】

ここで、何らかのパターンを有する半導体基板 (被加工面) 上に膜を形成する場合を仮定すると、半導体基板上に膜を形成した後、当該膜をCMPによって研

磨した段階での高さ分布を高さ分布測定装置 20 を用いて測定した結果が実測データ D22 であり、一方、計算により求めた CMP プロセス後の被加工面の凹凸の 2 次元分布データが 2 次元分布データ DP3 である。

【0160】

従って、実測データ D22 に近づくように、すなわち、相関係数が大きくなるように、例えばステップ S453 で設定した、研磨パッドの材質、回転数などによって定まる研磨レート ($\text{\AA}/\text{sec}$)、計算対象部分において研磨パッドに加わるストレス値 (パスカル)、研磨時間 (sec) 等のパラメータを変える。これが、CMP プロセス後におけるパラメータフィッティングの 1 つである。

【0161】

<C-2. 効果>

以上説明した実施の形態 3 の CMP プロセスのシミュレーション方法およびシミュレーション装置によれば、CMP プロセスの前と後とで実測データと、シミュレーションデータとを比較して相関関係を取得するように構成されているので、CMP プロセス前のパラメータの調整と、CMP プロセス後のパラメータの調整とを明確に分離でき、種々のパラメータを考慮可能なシミュレーション装置が得られる。

【0162】

そのため、プロセス条件が変更された場合や新規装置が採用された場合でも、パラメータを微調整することで対応できるという特徴がある。

【0163】

また、CMP プロセス後の実測データ D22 と、計算により求めた CMP プロセス後の被加工面の凹凸の 2 次元分布データ DP3 との相関関係をモニタするので、研磨計算で使用される、研磨レート、研磨パッドに加わるストレス値、研磨時間等の各種パラメータの検証が可能となる。

【0164】

<D. 実施の形態 4>

以下、本発明に係る実施の形態 4 の CMP プロセスのシミュレーション方法およびシミュレーション装置について説明する。なお、図 1、図 2 に示した構成と

同一の構成については同一の符号を付し、重複する説明は省略する。

【0165】

＜D-1. CMPプロセスのシミュレーション方法および装置＞

図14に示すCMPプロセスのシミュレーション装置4の構成を参照しつつ、図13に示すフローチャートを用いて、CMPプロセスのシミュレーション方法について説明する。

【0166】

図14に示すように、CMPプロセスのシミュレーション装置4は、占有率データ記憶装置10および高さ分布測定装置20から、それぞれの工程ごとの占有率データD1と、下地層の高さ分布およびそれぞれの工程ごとのCMP前後の高さ分布の実測データD3とを受ける。

【0167】

そして、占有率2次元分布計算部411において、占有率データD1に含まれる座標データに基づいて占有率データを2次元に展開し、工程ごとの占有率の2次元分布像DPを取得する（ステップS51）。

【0168】

高さ分布測定装置20から与えられる下地層の凹凸の高さ分布およびCMPプロセスを実行する前後の半導体基板上の凹凸の高さ分布の実測データD3は、半導体基板上の凹凸の状態が2次元分布像として与えられるが、占有率の2次元分布像DPと高さ分布の実測データD3とでは、必ずしもメッシュが揃っているわけではない。そこで、何れも同じメッシュに調整するために、メッシュ調整部212においてメッシュの調整を行う（ステップS52）。

【0169】

以上のメッシュ調整動作により占有率の2次元分布像DPと高さ分布の実測データD3とのメッシュが一致し、相互のデータの比較が可能となる。

【0170】

なお、メッシュ調整部212でのメッシュの調整動作は、図2に示したメッシュ調整部112と同じであるので説明は省略する。

【0171】

ステップS 5 2においてメッシュの調整が終了した後、メッシュ調整後のCMPプロセス前（研磨前）の実測データD 3 1、CMPプロセス後（研磨後）の実測データD 3 2および占有率の2次元分布像DPは高さ分布計算部4 1 3に与えられる。

【0 1 7 2】

高さ分布計算部4 1 3では、占有率の2次元分布像DPに基づいて高さ分布の計算が施され、CMPプロセス前の被加工面の高さ分布データDP 1を得る（ステップS 5 3）。なお、占有率の2次元分布像DPに基づいて高さ分布を算出する方法については、図5および図6を用いて説明しているので、説明は省略する。

【0 1 7 3】

そして、CMPプロセス前の被加工面の高さ分布データDP 1には、実測データ加算部4 1 4において下地層の高さ分布のデータが加算され、下地層の高さ分布のデータを含む高さ分布データDP 1 1を得る（ステップS 5 4）。

【0 1 7 4】

高さ分布データDP 1 1は、CMPプロセス前の実測データD 3 1とともに相関係数計算部2 2 0に与えられ、また、CMPプロセス後の実測データD 3 2とともにCMP像計算部4 1 5にも与えられる。

【0 1 7 5】

以下、CMPプロセス前におけるパラメータフィッティングの動作について説明する。

【0 1 7 6】

相関係数計算部4 1 6では、CMPプロセス前の実測データD 3 1と高さ分布データDP 1 1とを最小自乗解析して相関係数を算出する（ステップS 5 5）。なお、ステップS 5 5の解析動作は、図1に示すステップS 4の解析動作と同じであるので、説明は省略する。

【0 1 7 7】

ここで、何らかのパターンを有する半導体基板（被加工面）上に膜を形成する場合を仮定すると、形成される膜の厚さがフィッティングパラメータとなり、半

導体基板上に上記膜を形成した段階での高さ分布を、高さ分布測定装置20を用いて測定した結果が実測データD31であり、一方、上記膜を形成した場合の占有率データに基づく計算値が高さ分布データDP11である。

【0178】

従って、実測データD31に近づくように、すなわち、相関係数が大きくなるように、パラメータフィッティング部417において、ステップS53で設定した積層膜SFMの形成厚さd2を変える（ステップS58）。これが、CMPプロセス前におけるパラメータフィッティングの1つである。

【0179】

次に、CMPプロセス後におけるパラメータフィッティングの動作について説明する。

【0180】

CMP像計算部415においては、下地層の高さ分布のデータを含むCMPプロセス前の被加工面の高さ分布データDP11と、CMPプロセスで用いられる研磨パッドのヤング率や弾性係数などの力学パラメータを用いて、CMPプロセスによって得られる研磨後の2次元分布データDP4を計算する（ステップS56）。なお、ステップS56のCMP像の取得動作は、図11および図12を説明したCMP像の取得動作と同じであるので、説明は省略する。

【0181】

その後、上記2次元分データDP4とCMPプロセス後の実測データD32とは相関係数計算部416に与えられる。

【0182】

相関係数計算部416では、実測データD32と2次元分データDP4とを最小自乗解析して相関係数を算出する（ステップS57）。なお、ステップS57の解析動作はステップS4の解析動作と同じであるので、説明は省略する。

【0183】

そして、ステップS57で算出された相関係数を指標として、パラメータフィッティング部417で相関係数の自乗を最大に近づけるようにパラメータフィッティングを行う（ステップS58）。

【0184】

ここで、何らかのパターンを有する半導体基板（被加工面）上に膜を形成する場合を仮定すると、半導体基板上に膜を形成した後、当該膜をCMPによって研磨した段階での高さ分布を高さ分布測定装置20を用いて測定した結果が実測データD32であり、一方、計算により求めたCMPプロセス後の被加工面の凹凸の2次元分布データが2次元分布データDP4である。

【0185】

従って、実測データD32に近づくように、すなわち、相関係数が大きくなるように、例えばステップS453（図11）で設定した、研磨パッドの材質、回転数などによって定まる研磨レート（Å/sec）、計算対象部分において研磨パッドに加わるストレス値（パスカル）、研磨時間（sec）等のパラメータを変える。これが、CMPプロセス後におけるパラメータフィッティングの1つである。

【0186】

<D-2. 効果>

以上説明した実施の形態4のCMPプロセスのシミュレーション方法およびシミュレーション装置によれば、CMPプロセスの前と後とで実測データと、シミュレーションデータとを比較して相関関係を取得するように構成されているので、CMPプロセス前のパラメータの調整と、CMPプロセス後のパラメータの調整とを明確に分離でき、種々のパラメータを考慮可能なシミュレーション装置が得られる。

【0187】

そのため、プロセス条件が変更された場合や新規装置が採用された場合でも、パラメータを微調整することで対応できるという特徴がある。

【0188】

また、CMPプロセス後の実測データD22と、計算により求めたCMPプロセス後の被加工面の凹凸の2次元分布データDP3との相関関係をモニタするので、研磨計算で使用される、研磨レート、研磨パッドに加わるストレス値、研磨時間等の各種パラメータの検証が可能となる。

【0189】

また、それぞれの工程における下地層の高さ分布の実測データを占有率データに加算する構成となっているので、前工程の影響を考慮することができ、積層構造を有する半導体装置の製造に適したシミュレーションを行うことができる。

【0190】

【発明の効果】

本発明に係る請求項1記載のシミュレーション装置によれば、化学機械研磨プロセス前の半導体基板上の凹凸の2次元分布についての第1の算出データと、化学機械研磨プロセスの前の半導体基板上の凹凸の高さ分布についての第1の実測データとを比較してパラメータフィッティングを行い、化学機械研磨プロセス後の半導体基板上の凹凸の2次元分布についての第2の算出データと、化学機械研磨プロセスの後の第2の実測データとを比較してパラメータフィッティングを行うので、化学機械研磨プロセス前のパラメータの調整と、化学機械研磨プロセス後のパラメータの調整とを明確に分離でき、種々のパラメータを考慮可能なシミュレーション装置が得られる。そのため、プロセス条件が変更された場合や新規装置が採用された場合でも、パラメータを微調整することで対応できる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態1における、CMPプロセスのシミュレーション方法を説明するフローチャートである。

【図2】 本発明に係る実施の形態1における、CMPプロセスのシミュレーション装置の構成を説明するブロック図である。

【図3】 メッシュ調整動作を説明する概念図である。

【図4】 メッシュ調整動作を説明するフローチャートである。

【図5】 占有率と加工面の凹凸の高さとの関係を模式的に説明する図である。

【図6】 占有率と加工面の凹凸の高さとの関係を模式的に説明する図である。

【図7】 本発明に係る実施の形態2における、CMPプロセスのシミュレーション方法を説明するフローチャートである。

【図 8】 本発明に係る実施の形態 2 における、CMP プロセスのシミュレーション装置の構成を説明するブロック図である。

【図 9】 本発明に係る実施の形態 3 における、CMP プロセスのシミュレーション方法を説明するフローチャートである。

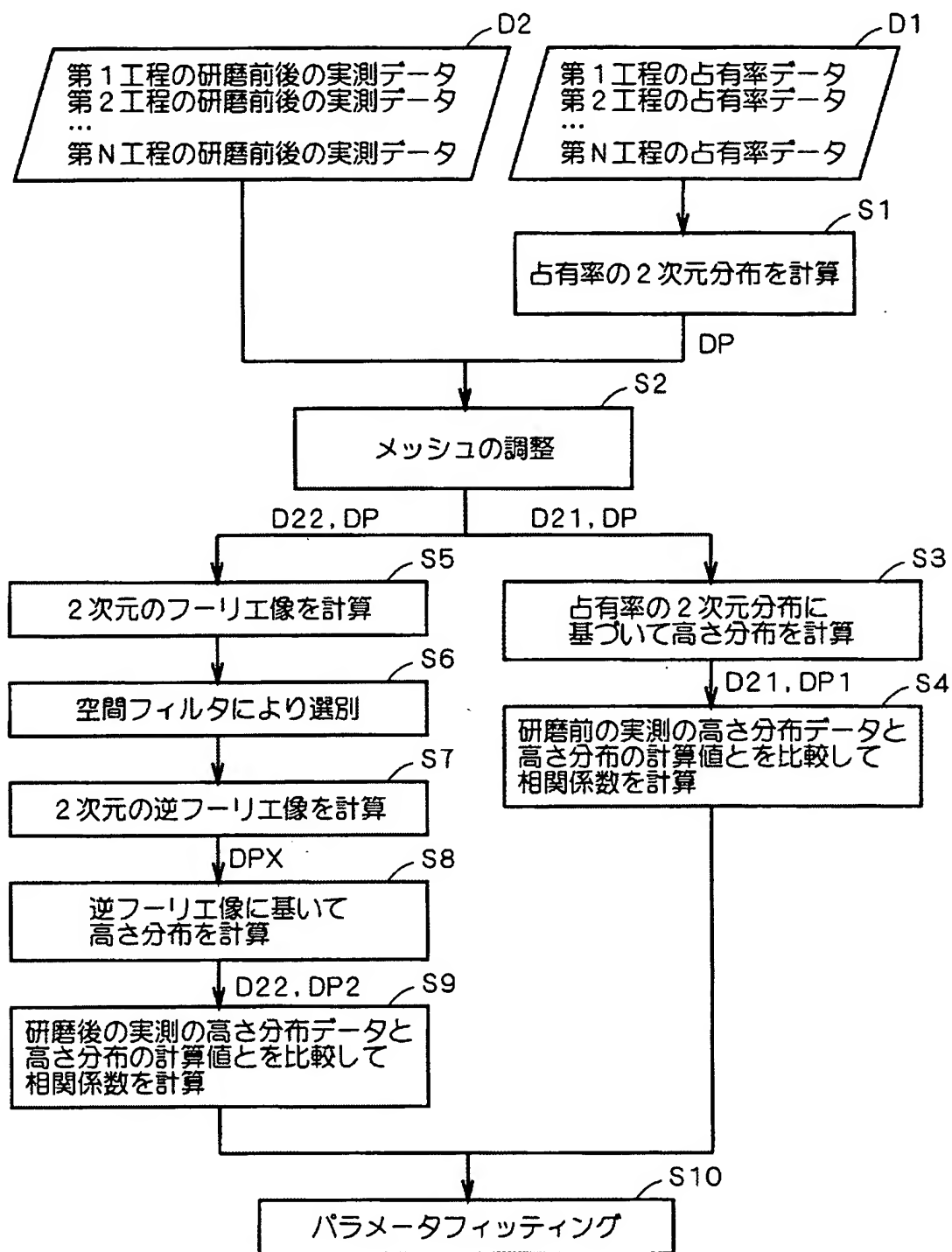
【図 10】 本発明に係る実施の形態 3 における、CMP プロセスのシミュレーション装置の構成を説明するブロック図である。

【図 11】 CMP 像の取得動作を説明するフローチャートである。

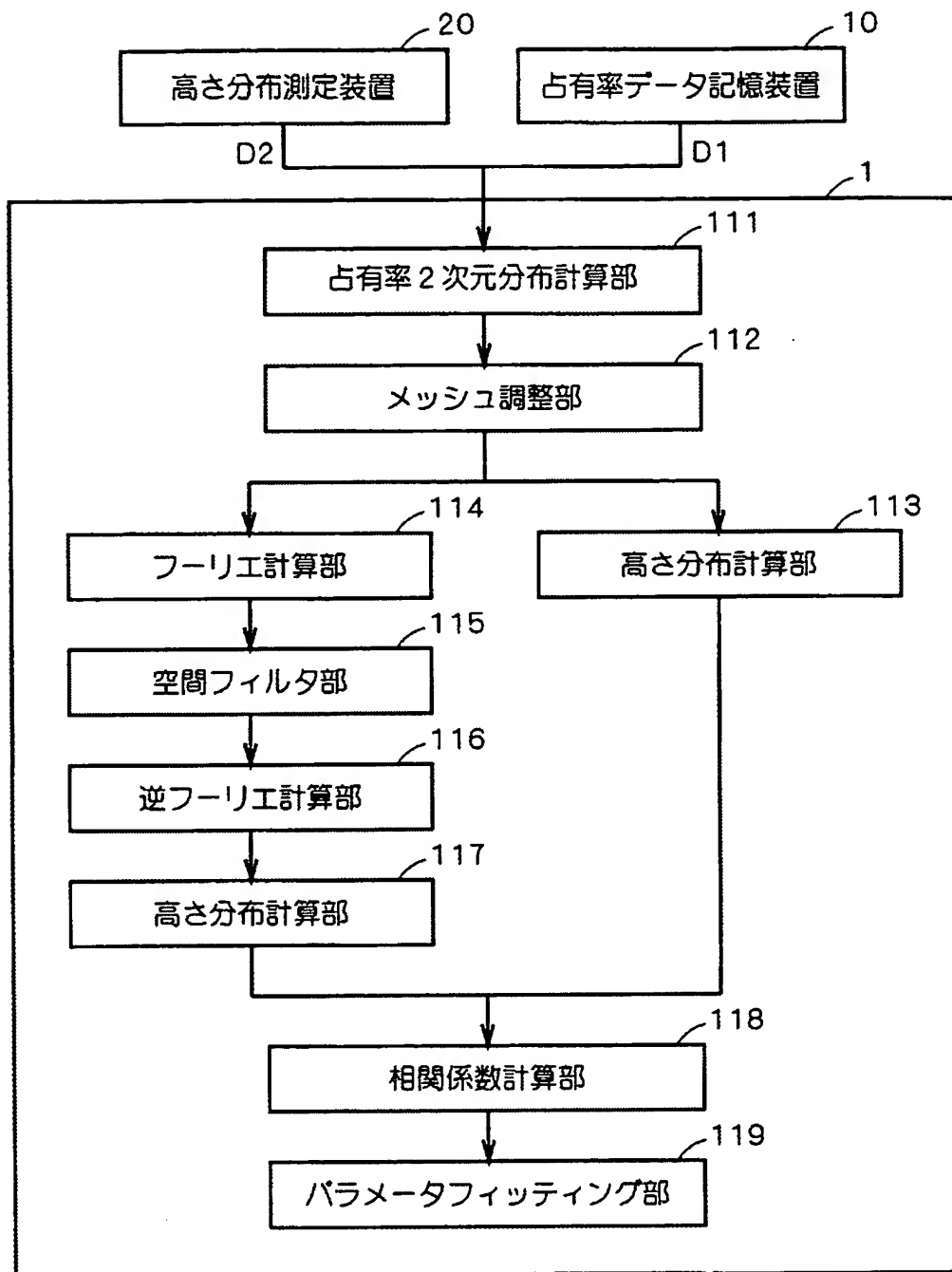
【図 12】 CMP プロセス前の被加工面に対して、研磨パッドを押し当てた状態を模式的に示す図である。

【図 13】 本発明に係る実施の形態 4 における、CMP プロセスのシミュレーション方法を説明するフローチャートである。

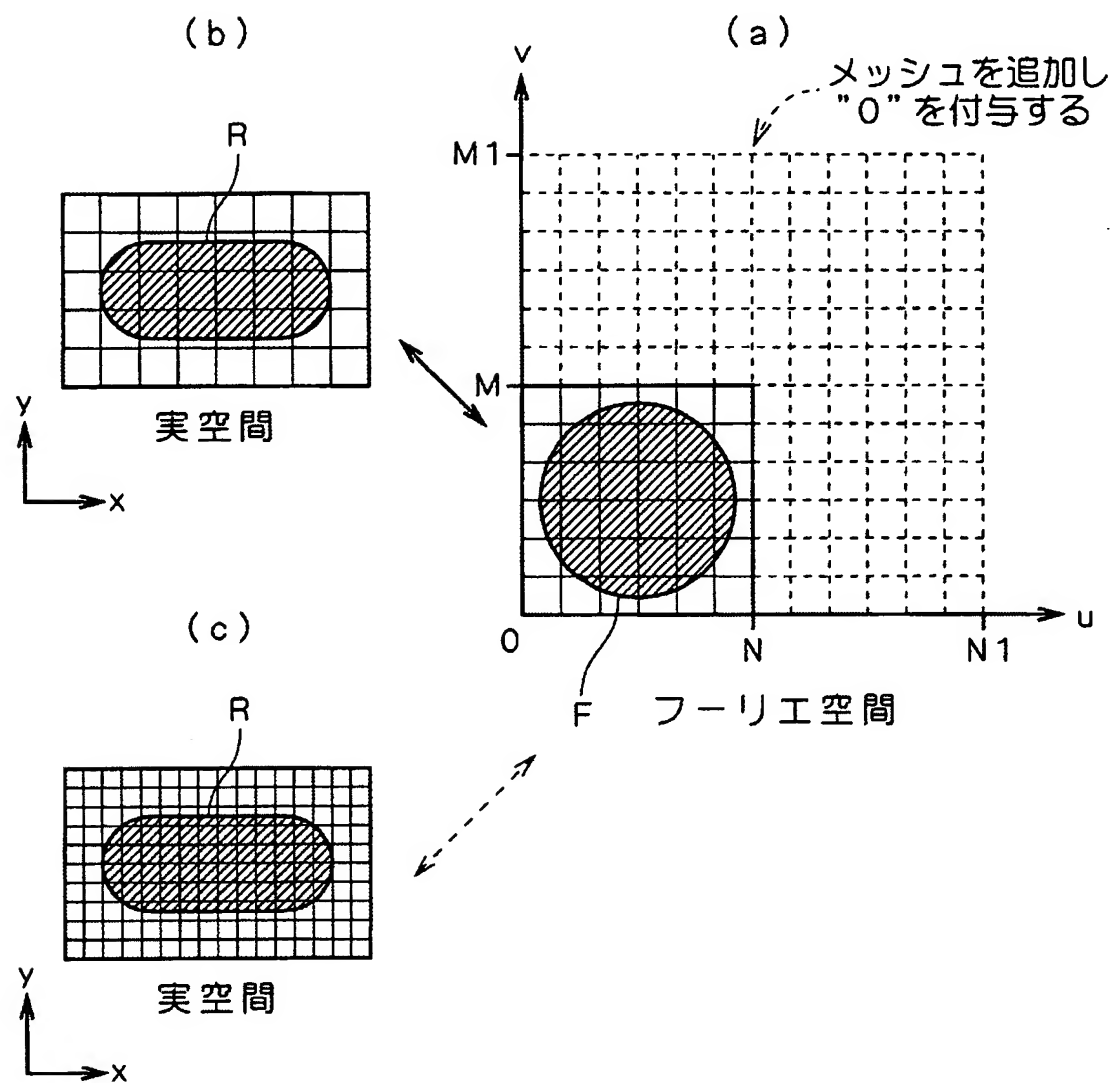
【図 14】 本発明に係る実施の形態 4 における、CMP プロセスのシミュレーション装置の構成を説明するブロック図である。



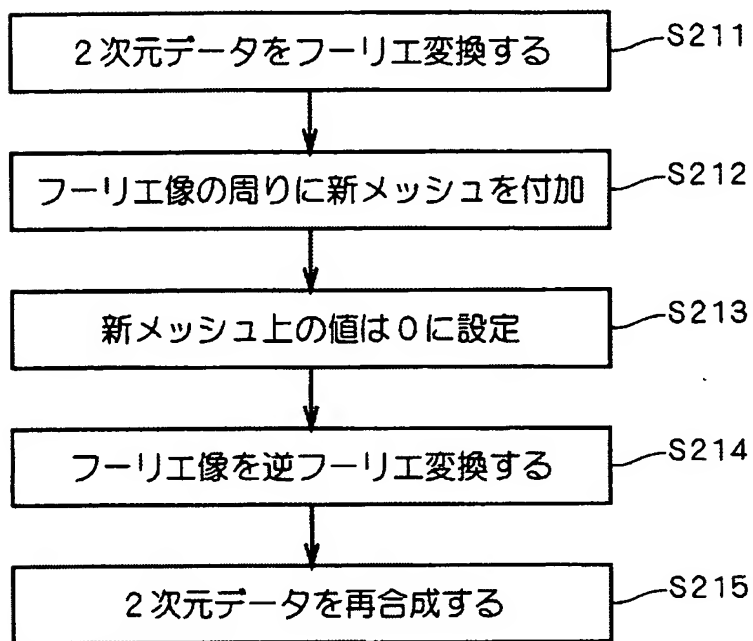
【図 2】



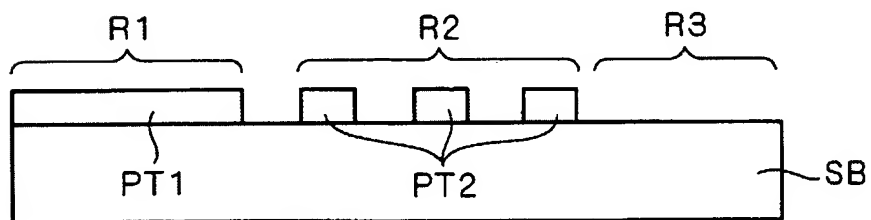
【図 3】



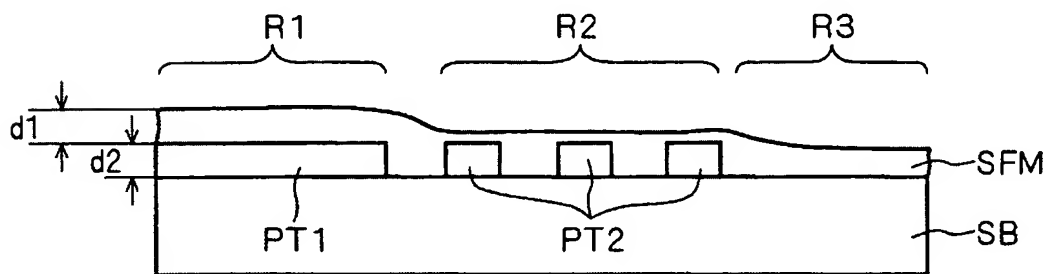
【図 4】



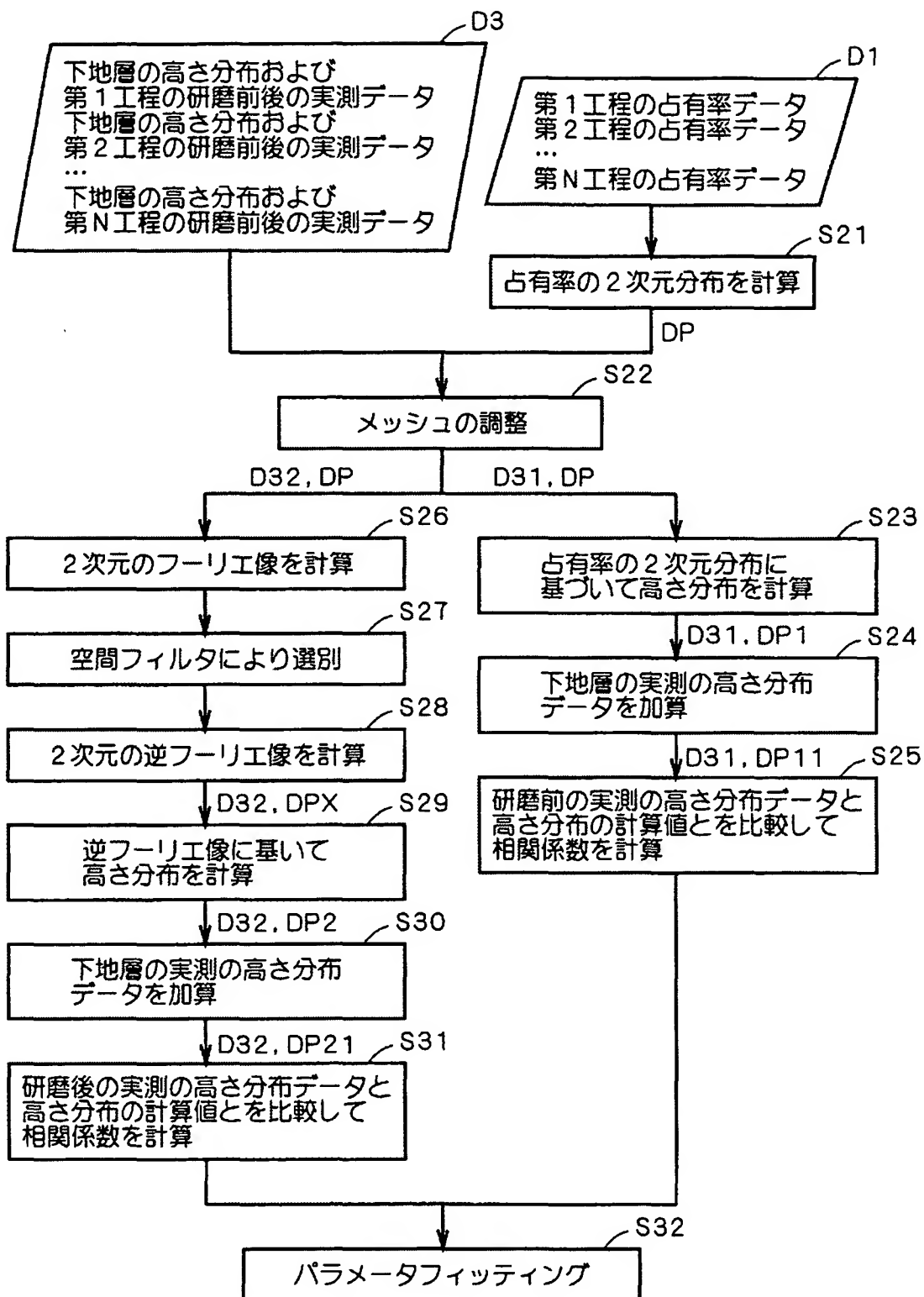
【図 5】



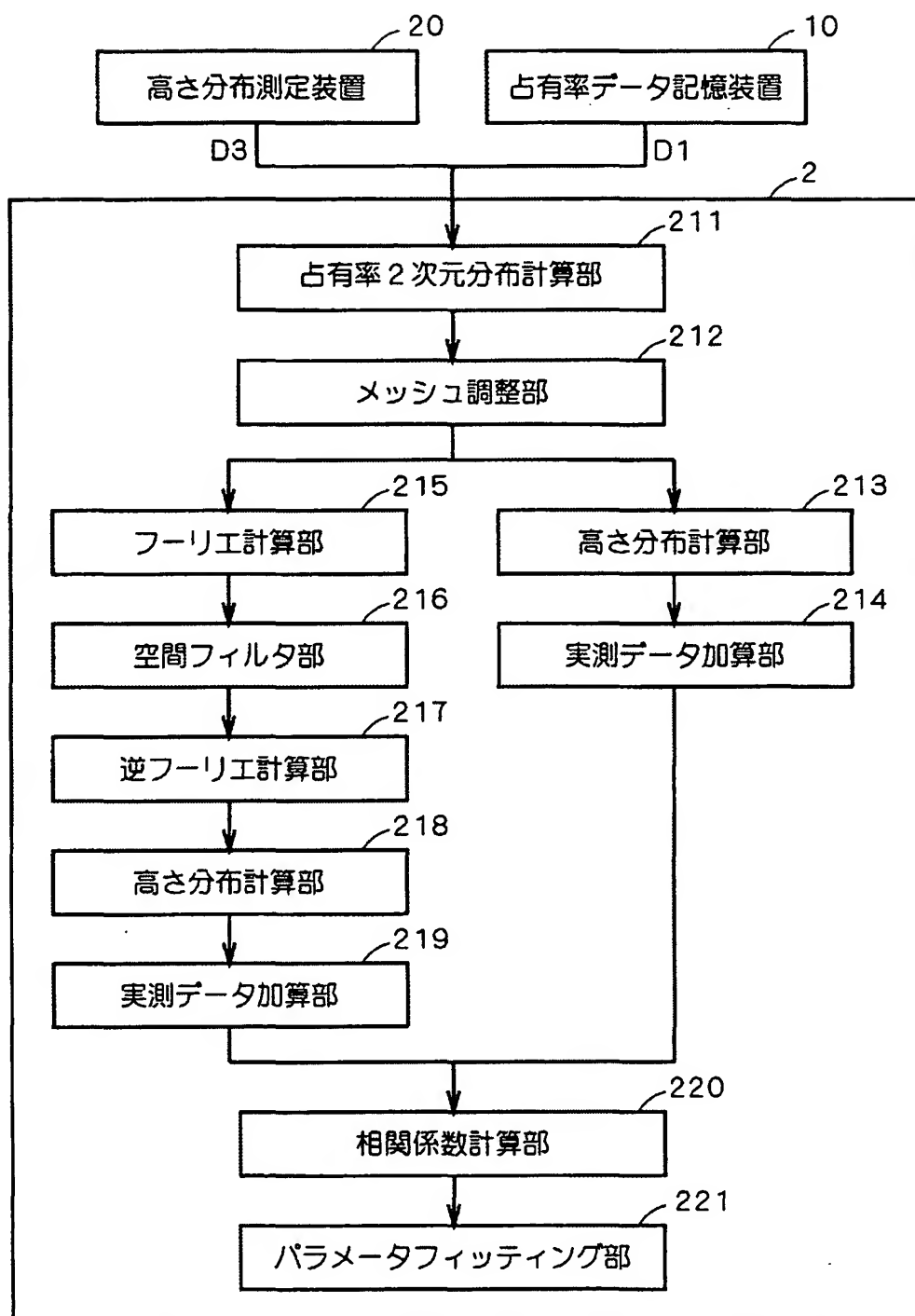
【図 6】



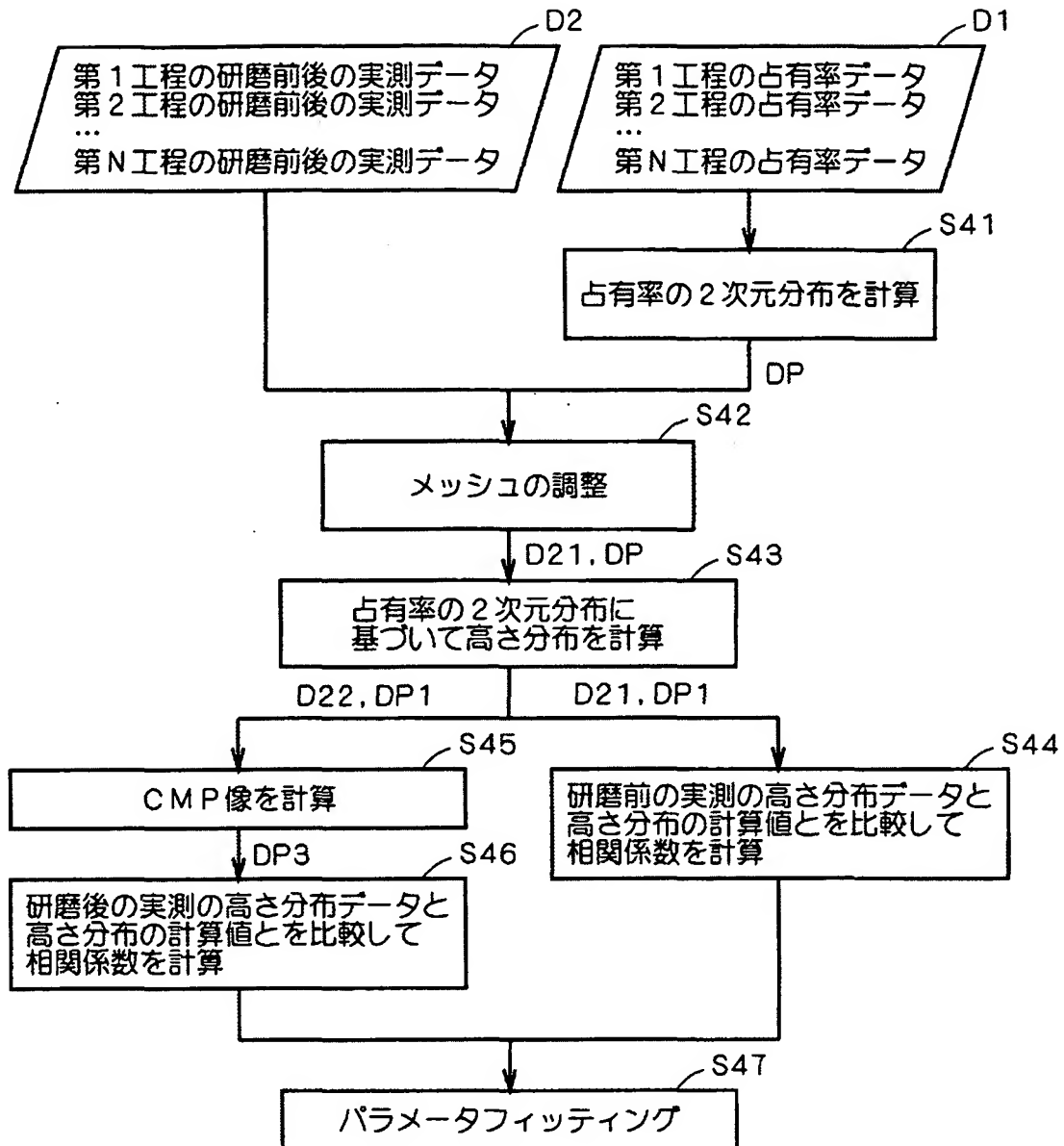
【図 7】



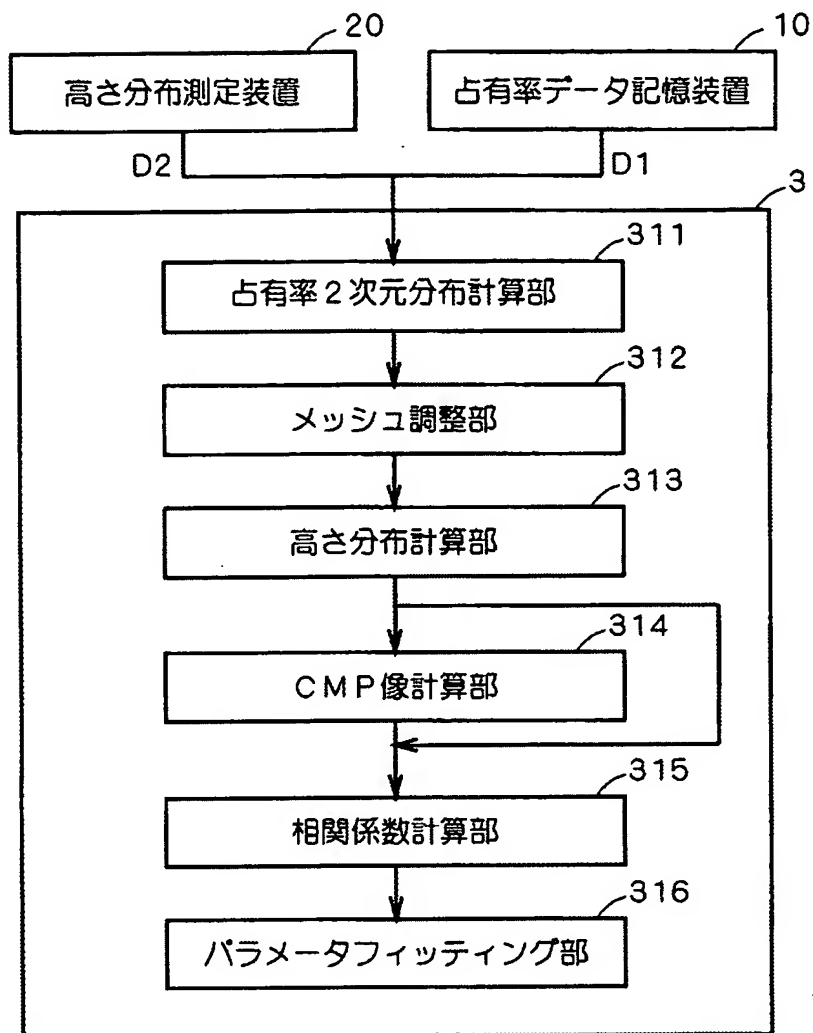
【図 8】



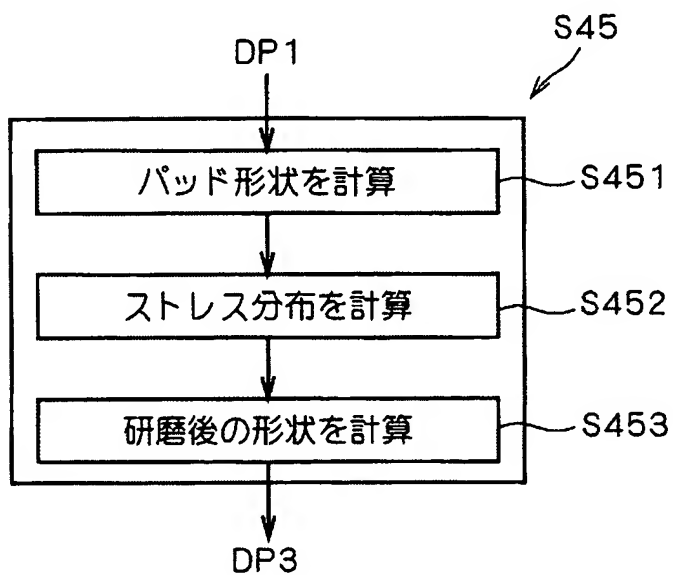
【図 9】



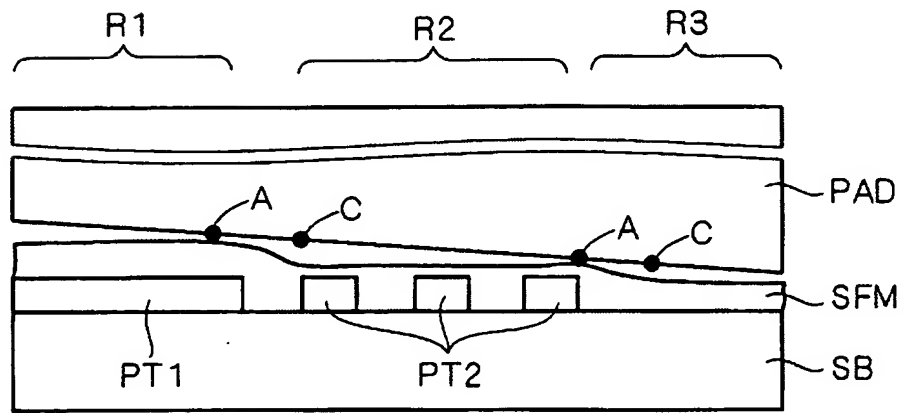
【図 10】



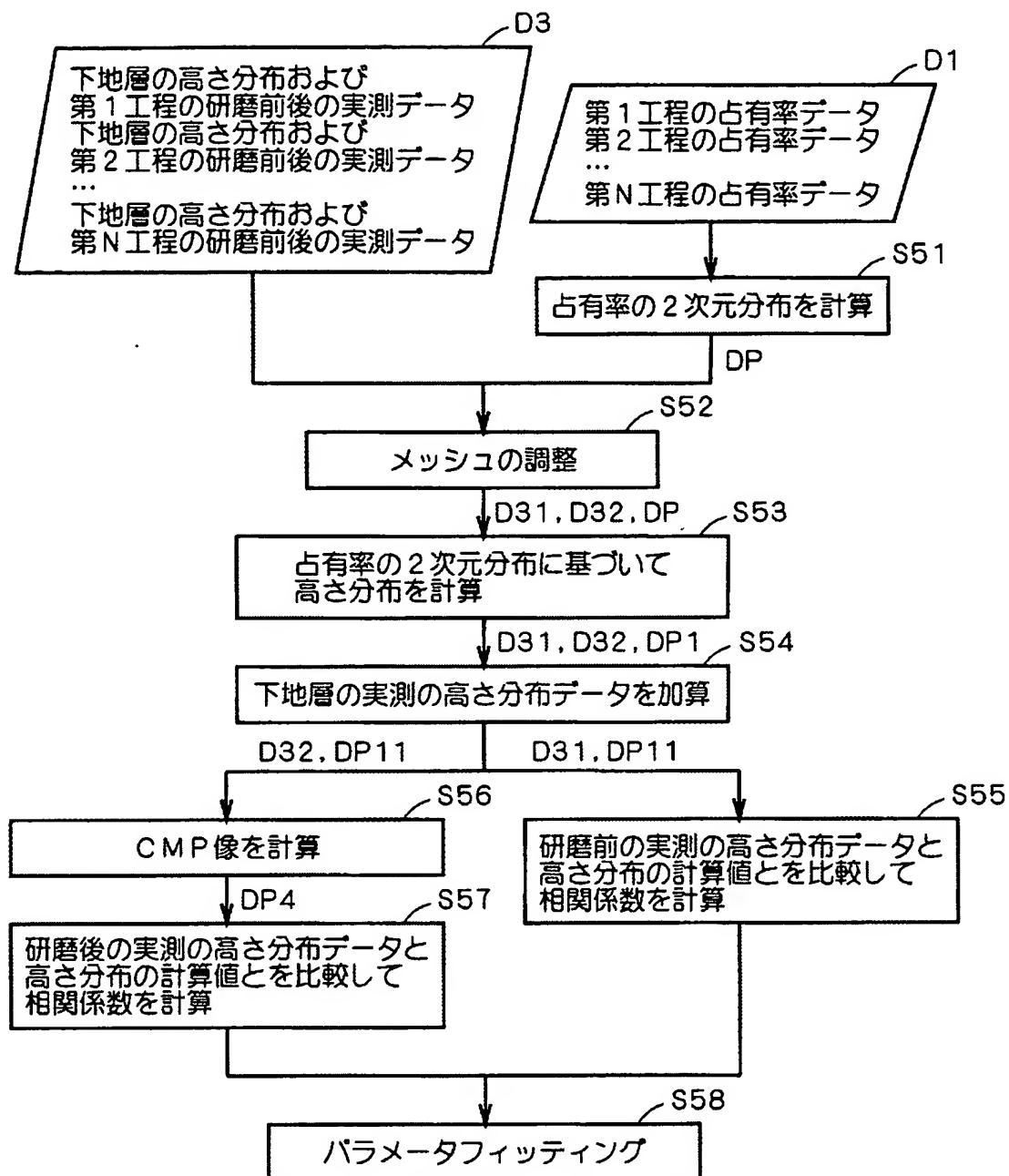
【図 11】



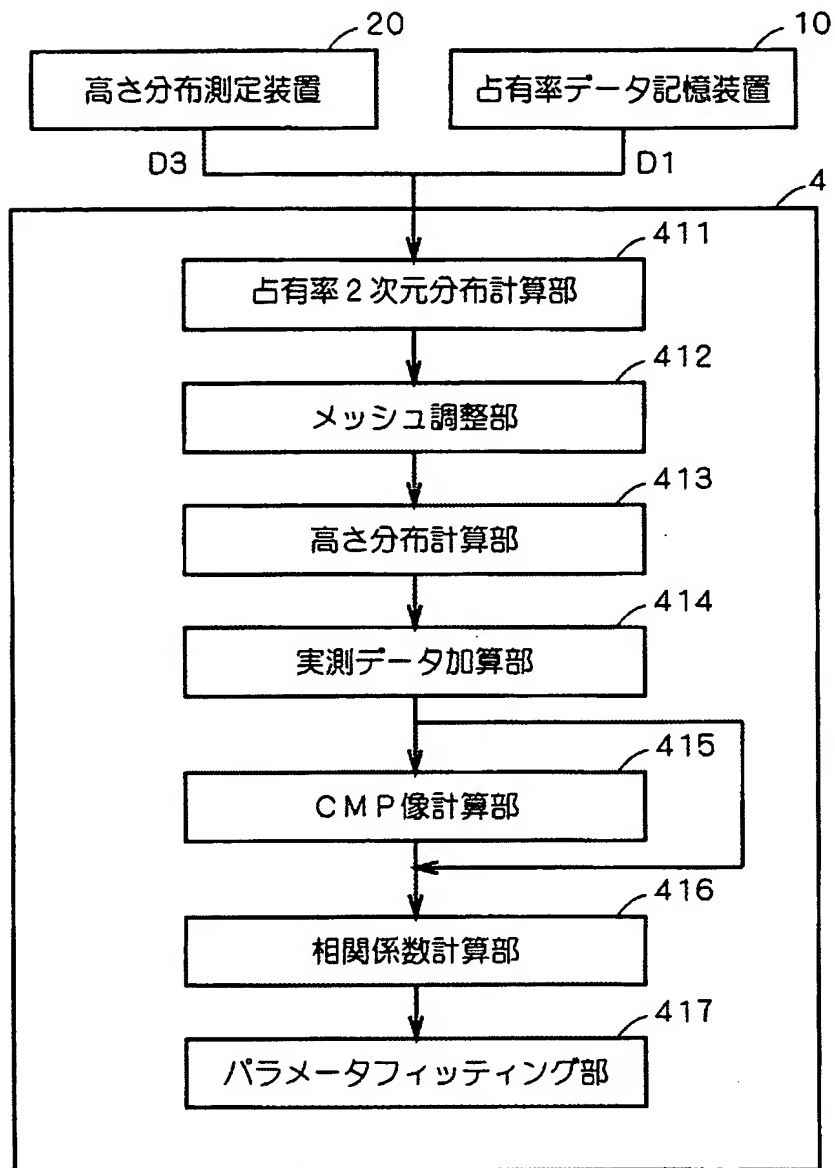
【図 1 2】



【図 1 3】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 CMPプロセスにおいて種々のパラメータを考慮したシミュレーションが可能なシミュレーション装置を提供する。

【解決手段】 占有率2次元分布計算部111において、占有率の2次元分布像DPを取得し、メッシュ調整部112において実測データD2のメッシュの調整を行う。高さ分布計算部113では、占有率の2次元分布像DPに基づいて高さ分布の計算が施され、相関係数計算部118では、実測データD21と高さ分布データDP1とを最小自乗解析して相関係数を算出する。占有率の2次元分布像DPは、フーリエ計算部114、空間フィルタ部115、逆フーリエ計算部116を経て占有率の2次元分布像DPXとなり、さらに高さ分布計算部113を経て高さ分布データDP2を得る。そして、相関係数計算部118において高さ分布データDP2とCMPプロセス後の実測データD22とを最小自乗解析して相関係数を算出する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社